

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-076668

(43)Date of publication of application : 14.03.2003

(51)Int.Cl.

G06F 15/16

G06F 9/30

G06F 9/38

(21)Application number : 2001-263804

(71)Applicant : NEC CORP

(22)Date of filing : 31.08.2001

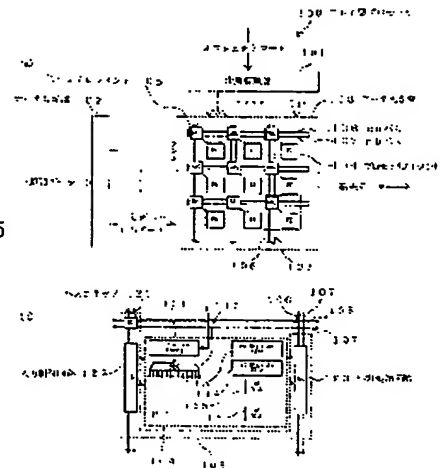
(72)Inventor : FURUTA KOUICHIROU  
FUJII TARO  
MOTOMURA MASATO

## (54) ARRAY-TYPE PROCESSOR, AND DATA PROCESSING SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve the efficiency of an array-type processor for controlling small-scale operations individually performed by a plurality of processor elements, and the connection relationship of the plurality of processor elements to each other in a corresponding manner to the object code.

SOLUTION: By forming a plurality of kinds of computing elements 115 and 116 in which the bit number of the operation is different from each other for each of the plurality of processor elements 104, a series of processing data externally input with various bit numbers are divided into the majority bit and the minority bit, and processed parallel for every processor element 104 by the computing elements 115 and 116.



## LEGAL STATUS

[Date of request for examination]

12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-76668

(P2003-76668A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl.	識別記号	F I	テーマコード(参考)
G 0 6 F 15/16	6 1 0	G 0 6 F 15/16	6 1 0 G 5 B 0 1 3
9/30	3 7 0	9/30	3 7 0 5 B 0 3 3
9/38	3 7 0	9/38	3 7 0 B 5 B 0 4 5

審査請求 未請求 請求項の数16 O L (全 16 頁)

(21) 出願番号 特願2001-263804(P2001-263804)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古田 浩一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 藤井 太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

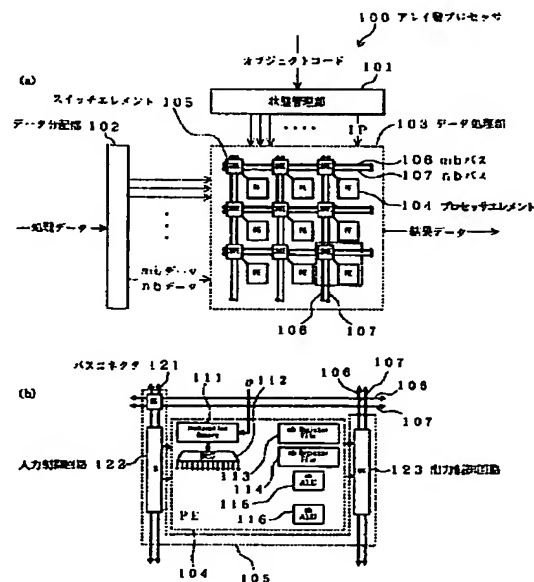
最終頁に続く

(54) 【発明の名称】 アレイ型プロセッサ、データ処理システム

(57) 【要約】

【課題】 複数のプロセッサエレメントが個々に実行する小規模な演算処理と、複数のプロセッサエレメントの相互の接続関係とを、オブジェクトコードに対応して制御するアレイ型プロセッサの効率を向上させる。

【解決手段】 複数のプロセッサエレメント104ごとに演算処理のビット数が相互に相違する複数種類の演算器115、116を形成することにより、各種のビット数で外部入力される一連の処理データを多数ビットと少数ビットとに配分してプロセッサエレメント104ごとに演算器115、116で並列処理する。



## 【特許請求の範囲】

【請求項1】 一個の状態管理部と並列に複数のプロセッサエレメントがスイッチエレメントとともにマトリクス状に配列されており、これら複数のプロセッサエレメントごとにインストラクションメモリとインストラクションデコーダと演算器とが形成されており、前記状態管理部が外部供給されるオブジェクトコードに対応して前記プロセッサエレメントごとにインストラクションポイントを発生し、このインストラクションポイントで前記プロセッサエレメントごとに前記インストラクションメモリに格納されている複数の命令コードから一つが指定され、この指定された命令コードが前記インストラクションデコーダでデコードされて前記演算器の演算処理が制御されるとともに前記スイッチエレメントによる複数の前記プロセッサエレメントの接続関係が制御され、このように制御された状態で外部入力される一連の処理データが複数の前記プロセッサエレメントで演算処理されるアレイ型プロセッサであって、前記プロセッサエレメントごとに演算処理のビット数が相互に相違する複数種類の前記演算器が形成されているアレイ型プロセッサ。

【請求項2】 前記プロセッサエレメントごとにm b (m-(bit): "m" は "2" 以上の所定の自然数)演算器とn b (n-(bit): "n" は "m" より少数の所定の自然数)演算器とが形成されており、複数の前記プロセッサエレメントと並列に一個のデータ分配部が形成されており、このデータ分配部が外部入力される一連の処理データをm b データとn b データとに分配し、前記m b 演算器が前記m b データで演算処理を実行し、前記n b 演算器が前記n b データで演算処理を実行する請求項1に記載のアレイ型プロセッサ。

【請求項3】 前記m b データを伝送するm b バスと前記n b データを伝送するn b バスとが複数の前記プロセッサエレメントとともにマトリクス状に形成されており、前記スイッチエレメントがバスコネクタと入力制御回路と出力制御回路とを具備しており、前記バスコネクタが連通する複数の前記m b バスの相互の接続関係と連通する複数の前記n b バスの相互の接続関係を制御し、前記入力制御回路が少なくとも前記m b バスから前記m b 演算器へのデータ入力の接続関係と前記n b バスから前記n b 演算器へのデータ入力の接続関係を制御し、前記出力制御回路が少なくとも前記m b 演算器から前記m b バスへのデータ出力の接続関係と前記n b 演算器から前記n b バスへのデータ出力の接続関係を制御する請求項2に記載のアレイ型プロセッサ。

【請求項4】 前記プロセッサエレメントごとにm b レジスタファイルとn b レジスタファイルとが形成されて

おり、

前記m b レジスタファイルが入力される前記m b データを一時保持して出力し、

前記n b レジスタファイルが入力される前記n b データを一時保持して出力する請求項2または3に記載のアレイ型プロセッサ。

【請求項5】 前記プロセッサエレメントごとに一個のレジスタファイルが形成されており、

このレジスタファイルが入力される前記m b データを一時保持して前記m b データと前記n b データとの少なくとも一方として出力するとともに入力される前記n b データを一時保持して前記m b データと前記n b データとの少なくとも一方として出力する請求項2または3に記載のアレイ型プロセッサ。

【請求項6】 前記プロセッサエレメントごとに内部配線資源が形成されており、

この内部配線資源が前記m b 演算器と前記n b 演算器と前記レジスタファイルとの接続関係を制御する請求項2ないし4の何れか一項に記載のアレイ型プロセッサ。

【請求項7】 前記プロセッサエレメントごとにDMU (Data Manipulation Unit)が形成されており、

このDMUが少なくとも前記m b データと前記n b データとのデータ操作を実行するマスク回路を具備している請求項2ないし6の何れか一項に記載のアレイ型プロセッサ。

【請求項8】 前記n b 演算器が前記DMUの一部として形成されている請求項7に記載のアレイ型プロセッサ。

【請求項9】 前記DMUが少なくとも前記m b データをシフト処理するシフト回路を具備している請求項7または8に記載のアレイ型プロセッサ。

【請求項10】 前記DMUが少なくとも前記m b データの演算処理に利用される数値データを一時記憶保持する数値保持回路を具備している請求項7ないし9の何れか一項に記載のアレイ型プロセッサ。

【請求項11】 前記DMUが少なくとも前記m b データをマスク処理するマスク回路を具備している請求項7ないし10の何れか一項に記載のアレイ型プロセッサ。

【請求項12】 前記DMUが前記数値保持回路で一時記憶保持された数値データを利用して少なくとも前記m b データをマスク処理するマスク回路を具備している請求項10に記載のアレイ型プロセッサ。

【請求項13】 前記DMUが少なくとも前記m b データをオア処理するオアゲートを具備している請求項7ないし12の何れか一項に記載のアレイ型プロセッサ。

【請求項14】 "n b" が "1 (bit)" からなる請求項2ないし13の何れか一項に記載のアレイ型プロセッサ。

【請求項15】 請求項2ないし14の何れか一項に記載のアレイ型プロセッサと、

このアレイ型プロセッサのオブジェクトコードをソースコードからデータ生成するデータ処理装置と、このデータ処理装置に前記ソースコードを供給するコード供給手段と、前記データ処理装置がデータ出力する前記オブジェクトコードを前記アレイ型プロセッサにデータ入力するコード転送手段と、

前記アレイ型プロセッサに前記処理データを入力するデータ入力手段と、を具備しているデータ処理システム。

【請求項16】 請求項2ないし14の何れか一項に記載のアレイ型プロセッサと、

複数種類の前記オブジェクトコードが事前にデータ登録されているコード記憶手段と、

このコード記憶手段にデータ登録されている複数種類の前記オブジェクトコードの一つを前記アレイ型プロセッサに選択的にデータ入力するコード転送手段と、

前記アレイ型プロセッサに前記処理データを入力するデータ入力手段と、を具備しているデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種の演算処理を実行できるアレイ型プロセッサ、このアレイ型プロセッサを一部としたデータ処理システム、に関する。

【0002】

【従来の技術】現在、各種のデータ処理を自在に実行できるプロセッサユニットとしては、いわゆるCPU(Central Processing Unit)やMPU(Micro Processor Unit)と呼称される製品が実用化されている。

【0003】このようなプロセッサユニットを利用したデータ処理システムでは、複数の命令コードが記述された各種のアプリケーションプログラムと各種の処理データとがメモリデバイスに格納され、プロセッサユニットはメモリデバイスから命令コードや処理データを順番にデータ読出して複数の演算処理を逐次実行する。

【0004】このため、一個のプロセッサユニットで各種のデータ処理を実現できるが、そのデータ処理では複数の演算処理を順番に逐次実行する必要があり、その逐次処理ごとにプロセッサユニットがメモリデバイスから命令コードをデータ読出する必要があるため、複雑なデータ処理を高速に実行することは困難である。

【0005】一方、実行するデータ処理が一つに限定されている場合には、そのデータ処理を実行するように論理回路をハードウェアで形成すれば、プロセッサユニットがメモリデバイスから複数の命令コードを順番にデータ読出して複数の演算処理を順番に逐次実行するような必要はない。このため、複雑なデータ処理を高速に実行することが可能であるが、当然ながら一つのデータ処理しか実行することができない。

【0006】つまり、アプリケーションプログラムを切替自在としたデータ処理システムでは、各種のデータ処

理を実行できるが、ハードウェアの構成が固定されているのでデータ処理を高速に実行することが困難である。一方、ハードウェアからなる論理回路では、データ処理を高速に実行することが可能であるが、アプリケーションプログラムを変更できないので一つのデータ処理しか実行できない。

【0007】このような課題を解決するため、本出願人はソフトウェアに対応してハードウェアの構成が変化するプロセッサユニットとしてアレイ型プロセッサを創案し、特開2000-043202号として出願した。このアレイ型プロセッサでは、小規模の多数の演算器がマトリクス状に配列されており、アプリケーションプログラムに順番に記述された複数の命令コードに対応して、多数の演算器の個々の動作と、多数の演算器の相互の接続関係とが可変される。

【0008】このため、アプリケーションプログラムを変更することでハードウェアの構成が変化するもので、各種のデータ処理を実行することができ、ハードウェアとして小規模の多数の演算器が簡単な演算処理を並列に実行するので、データ処理を高速に実行することができ

【0009】

【発明が解決しようとする課題】上述のようなアレイ型プロセッサは、各種のデータ処理を高速に実行できるが、アプリケーションプログラムや処理データの内容によっては動作に無駄が発生することもある。

【0010】例えば、8ビットで演算処理を各々実行する多数の演算器をマトリクス状に配列してアレイ型プロセッサを形成した場合、処理データが8ビットなら最良の効率で演算処理できるが、4ビットや2ビットの処理データでは演算器の処理能力に無駄が発生することになる。

【0011】このような課題を解決するためには、1ビットで演算処理を各々実行する多数の演算器でアレイ型プロセッサを形成することが想定できるが、この場合は処理データが複数ビットの場合に多数の演算器を使用する必要があるため、大部分の場合で装置全体の処理能力が低下することになる。

【0012】本発明は上述のような課題に鑑みてなされたものであり、処理データのビット数が各種に変化しても良好な効率で演算処理を実行できるアレイ型プロセッサ、このアレイ型プロセッサを一部としたデータ処理システム、を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明のアレイ型プロセッサは、一個の状態管理部と複数のプロセッサエレメントと複数のスイッチエレメントとを具備しており、一個の状態管理部と並列に複数のプロセッサエレメントがスイッチエレメントとともにマトリクス状に配列されている。プロセッサエレメントにはインストラクションメモ

リとインストラクションデコーダと演算器とが形成されているが、その演算器はプロセッサエレメントごとに演算処理のビット数が相互に相違する複数種類が形成されている。

【0014】状態管理部は外部供給されるオブジェクトコードを保持してプロセッサエレメントごとのインストラクションポインタを発生し、このインストラクションポインタでプロセッサエレメントごとにインストラクションメモリに格納されている複数の命令コードから一つが指定される。この指定された命令コードがインストラクションデコーダでデコードされ、演算器の演算処理が制御されるとともにスイッチエレメントによる複数のプロセッサエレメントの接続関係が制御され、このように制御された状態で外部入力される一連の処理データが複数のプロセッサエレメントで演算処理される。

【0015】このため、本発明のアレイ型プロセッサでは、オブジェクトコードに対応してプロセッサエレメントごとにビット数が相違する複数の演算処理が並列に実行されるので、例えば、外部入力される一連の処理データが多数ビットと少数ビットとに配分されて並列処理される。

【0016】また、本発明のアレイ型プロセッサの他の形態としては、複数のプロセッサエレメントと並列に形成された一つのデータ分配部が外部入力される一連の処理データをmbデータとnbデータとに分配し、プロセッサエレメントごとにmb演算器とnb演算器とがmbデータとnbデータとで演算処理を実行することにより、外部入力される一連の処理データが多数のmbビットと少数のnbビットとに配分されて並列処理される。

【0017】また、mbデータを伝送するmbバスとnbデータを伝送するnbバスとが複数のプロセッサエレメントとともにマトリクス状に形成されており、スイッチエレメントがバスコネクタと入力制御回路と出力制御回路とを具備している。バスコネクタは連通する複数のmbバスの相互の接続関係と連通する複数のnbバスの相互の接続関係とを制御し、入力制御回路が少なくともmbバスからmb演算器へのデータ入力の接続関係とnbバスからnb演算器へのデータ入力の接続関係とを制御する。出力制御回路が少なくともmb演算器からmbバスへのデータ出力の接続関係とnb演算器からnbバスへのデータ出力の接続関係とを制御することにより、m/nb演算器によるm/nbデータでの演算処理とともに、m/nbバスからm/nb演算器へのm/nbデータの入力と、m/nb演算器からm/nbバスへのm/nbデータの出力も、オブジェクトプログラムに対応して制御される。

【0018】また、プロセッサエレメントごとに形成されているmbレジスタファイルが入力されるmbデータを一時保持して出力し、nbレジスタファイルが入力されるnbデータを一時保持して出力することにより、プ

ロセッサエレメントごとにm/nb演算器で演算処理されるm/nbデータが各々専用のm/nbレジスタファイルにより無駄なく一時保持される。

【0019】また、プロセッサエレメントごとに形成されている一つのレジスタファイルが、入力されるmbデータを一時保持してmbデータとnbデータとの少なくとも一方として出力するとともに、入力されるnbデータを一時保持してmbデータとnbデータとの少なくとも一方として出力することにより、一つのレジスタファイルでmbデータとnbデータとの両方が一時保持される。

【0020】また、プロセッサエレメントごとに形成されている内部配線資源がmb演算器とnb演算器とレジスタファイルとの接続関係を制御することにより、mb演算器とnb演算器とレジスタファイルとの接続関係がプロセッサエレメントごとにオブジェクトプログラムに対応して制御される。

【0021】また、プロセッサエレメントごとに形成されているDMUが少なくともmbデータとnbデータとのデータ操作をマスク回路で実行することにより、プロセッサエレメントごとにオブジェクトプログラムに対応してmbデータがnbデータに変換されるとともにnbデータがmbデータに変換される。

【0022】なお、ここで云うm/nbデータのデータ操作とは、mbデータからnbデータを生成すること、nbデータからmbデータを生成すること、mbデータから相違するmbデータを生成すること、nbデータから相違するnbデータを生成すること、の少なくとも一つを実行することを許容する。

【0023】また、nb演算器がDMUの一部として形成されていることにより、一つのDMUでm/nbデータのデータ操作が実行されるとともに内蔵されているnb演算器によるnbデータの演算処理も実行される。

【0024】また、DMUのシフト回路が少なくともmbデータをシフト処理することにより、また、DMUの数値保持回路が少なくともmbデータの演算処理に利用される数値データを一時記憶保持することにより、また、DMUのマスク回路が少なくともmbデータをマスク処理することにより、また、DMUのオアゲートが少なくともmbデータをオア処理することにより、少なくともmbデータでの各種の演算処理がDMUによりmb演算器とは別個に実行される。

【0025】また、“nb”が“1(bit)”からなることにより、nb演算器により最少ビットでの演算処理が実行される。

【0026】本発明の第一のデータ処理システムは、本発明のアレイ型プロセッサ、データ処理装置、コード供給手段、コード転送手段、データ入力手段、を具備しており、コード供給手段はデータ処理装置にソースコードを供給する。このデータ処理装置がデータ出力するオブ

10

20

30

40

50

ジェクトコードをコード転送手段がアレイ型プロセッサにデータ入力し、このアレイ型プロセッサにデータ入力手段が処理データを入力する。このため、このデータ処理システムでは、アレイ型プロセッサがリアルタイムに入力されるソースコードと処理データとに対応して演算処理を実行する。

【0027】本発明の第二のデータ処理システムは、本発明のアレイ型プロセッサ、コード記憶手段、コード転送手段、データ入力手段、を具備しており、コード記憶手段は、複数種類のオブジェクトコードが事前にデータ登録されている。このデータ登録されている複数種類のオブジェクトコードの一つをコード転送手段がアレイ型プロセッサに選択的にデータ入力し、このアレイ型プロセッサにデータ入力手段が処理データを入力する。このため、このデータ処理システムでは、アレイ型プロセッサが事前に用意された複数種類のソースコードの一つに対応して処理データに演算処理を実行する。

【0028】なお、本発明で云う各種手段は、その機能を実現するように形成されていれば良く、例えば、所定の機能を発揮する専用のハードウェアを許容する。また、本発明で云う各種手段は、個々に独立した存在である必要もなく、ある手段が他の手段の一部であるようなことも許容する。

【0029】また、本発明で云う情報記憶媒体とは、データ処理装置に各種処理を実行させるためのコンピュータプログラムが事前に格納されたハードウェアであれば良く、例えば、データ処理装置を一部とする装置に固定されているROM(Read Only Memory)やHDD(Hard Disc Drive)、データ処理装置を一部とする装置に交換自在に装填されるCD(Compact Disc)-ROMやFD(Floppy Disc)、等を許容する。

【0030】また、本発明で云うデータ処理装置とは、コンピュータプログラムをデータ読取して対応する処理動作を実行できるハードウェアであれば良く、例えば、CPU(Central Processing Unit)を主体として、これにROMやRAM(Random Access Memory)やI/F(Interface)ユニット等の各種デバイスが接続されたハードウェアなどを許容する。

【0031】なお、本発明でコンピュータプログラムに対応した各種動作をデータ処理装置に実行させることは、各種デバイスをデータ処理装置に動作制御させることなども許容する。例えば、データ処理装置に各種データをデータ保存させることは、データ処理装置が一部として具備しているRAM等の情報記憶媒体に各種データを格納すること、データ処理装置に交換自在に装填されているFD等の情報記憶媒体に各種データを格納すること、等を許容する。

【0032】

【発明の実施の形態】本発明の実施の一形態を図面を参照して以下に説明する。本形態のアレイ型プロセッサ1

00は、図1(a)に示すように、状態管理部101、データ分配部102、データ処理部103、を具備しており、このデータ処理部103には、複数のプロセッサエレメント104、複数のスイッチエレメント105、多数のmbバス106、多数のnbバス107、等がマトリクス状に配列されている。

【0033】また、同図(b)および図2に示すように、プロセッサエレメント104は、インストラクションメモリ111、インストラクションデコーダ112、mbレジスタファイル113、nbレジスタファイル114、mb演算器であるmbALU115、nb演算器であるnbALU116、内部配線資源117、等を各々具備しており、スイッチエレメント105は、バスコネクタ121、入力制御回路122、出力制御回路123、等を各々具備している。

【0034】状態管理部101は、外部供給される一連のオブジェクトコードを保持してプロセッサエレメント104ごとのインストラクションポインタを発生し、そのインストラクションポインタを対応するプロセッサエレメント104ごとに供給する。

【0035】このプロセッサエレメント104のインストラクションメモリ111は複数の命令コードが事前に格納されており、状態管理部101から供給されるインストラクションポインタで複数の命令コードから一つが指定される。インストラクションデコーダ112は、インストラクションポインタで指定された命令コードをデコードし、スイッチエレメント105、内部配線資源117、m/nbALU115、116、等の動作を制御する。

【0036】mbバス106は“8(bit)”からなるmbデータを伝送し、nbバス107は“1(bit)”からなるnbデータを伝送するので、スイッチエレメント105は、インストラクションデコーダ112の動作制御に対応してm/nbバス106、107による複数のプロセッサエレメント104の接続関係を制御する。

【0037】より詳細には、スイッチエレメント105のバスコネクタ121は、mbバス106とnbバス107とが四方から連通しており、このように連通している複数のmbバス106の相互の接続関係と連通する複数のnbバス107の相互の接続関係を制御する。

【0038】なお、ここでは説明を簡略化するために各部が平面状に配列されている構造を例示しているが、実際には、上述のm/nbバス106、107とスイッチエレメント105とプロセッサエレメント104とを積層構造で重複させて形成するようなことも可能である。

【0039】入力制御回路122は、mbバス106からmbレジスタファイル113やmbALU115へのデータ入力の接続関係と、nbバス107からnbレジスタファイル114やnbALU116へのデータ入力の接続関係を制御し、出力制御回路123は、mbレ

ジスタファイル113やmbALU115からmbバス106へのデータ出力の接続関係と、nbレジスタファイル114やnbALU116からnbバス107へのデータ出力の接続関係とを制御する。

【0040】データ分配部102は、外部入力される一連の処理データをmbデータとnbデータとに分配し、このm/nbデータをスイッチエレメント105により接続関係が制御されたm/nbバス106、107から複数のプロセッサエレメント104の特定の一部に適宜入力する。

【0041】このプロセッサエレメント104の内部配線資源117は、インストラクションデコーダ112の動作制御に対応して、例えば、図2(a)(b)に示すように、プロセッサエレメント104の内部でのmbレジスタファイル113およびmbALU115の接続関係とnbレジスタファイル114およびnbALU116の接続関係とを制御する。

【0042】mbレジスタファイル113は、内部配線資源117に制御される接続関係に対応して、mbバス106などから入力されるmbデータを一時保持してmbALU115などに出力する。nbレジスタファイル114は、内部配線資源117に制御される接続関係に対応して、nbバス107などから入力されるnbデータを一時保持してnbALU116などに出力する。mbALU115は、インストラクションデコーダ112の動作制御に対応した演算処理をmbデータで実行し、nbALU116は、インストラクションデコーダ112の動作制御に対応した演算処理をnbデータで実行する。

【0043】さらに、上述のような構成のアレイ型プロセッサ100を一部とした本形態のデータ処理システム200は、図3に示すように、アレイ型プロセッサ100、データ処理装置300、コード供給手段201、コード転送手段202、データ入力手段203、等を具備している。

【0044】また、本形態のデータ処理装置300は、図4に示すように、コンピュータの主体となるハードウェアとしてCPU301を具備しており、このCPU301には、バスライン302により、ROM303、RAM304、HDD305、FD306が交換自在に装填されるFDD(FD Drive)307、CD-ROM308が交換自在に装填されるCDドライブ309、キーボード310、マウス311、ディスプレイ312、I/Fユニット313、等のハードウェアが接続されている。

【0045】本形態のデータ処理装置300では、ROM303、RAM304、HDD305、交換自在なFD306、交換自在なCD-ROM308、等のハードウェアが情報記憶媒体に相当し、これらの少なくとも一個にCPU301のためのコンピュータプログラムや各種データがソフトウェアとして格納されている。

【0046】例えば、CPU301に各種の処理動作を実行させるコンピュータプログラムは、FD306やCD-ROM308に事前に格納されている。このようなソフトウェアはHDD305に事前にインストールされており、データ処理装置300の起動時にRAM304に複写されてCPU301にデータ読取される。

【0047】このようにCPU301が適正なコンピュータプログラムをデータ読取して各種の処理動作を実行することにより、本形態のデータ処理装置300は、図3に示すように、コード入力手段211、処理識別手段212、コード生成手段213、コード出力手段214、等の各種手段を各種機能として論理的に具備している。

【0048】データ処理システム200のコード供給手段201は、例えば、ソースコードが格納されたFD306からなり、アレイ型プロセッサ100の処理動作が記述されたソースコードをデータ処理装置300のコード入力手段211に供給する。

【0049】このデータ処理装置300のコード入力手段211は、RAM304に格納されているコンピュータプログラムに対応してCPU301がFDD307を動作制御する機能などに相当し、コード供給手段201からソースコードがデータ入力される。

【0050】処理識別手段212とコード生成手段213とは、上述のコンピュータプログラムに対応してCPU301が所定のデータ処理を実行する機能などに相当し、処理識別手段212は、データ入力されたソースコードを解析してmbデータ用とnbデータ用とに記述内容を識別し、コード生成手段213は、識別された記述内容からオブジェクトコードをデータ生成する。

【0051】コード出力手段214は、CPU301がコンピュータプログラムに対応してI/Fユニット313のデータ出力を制御する機能などに相当し、データ生成されたオブジェクトコードをデータ処理システム200のコード転送手段202にデータ出力する。

【0052】このコード転送手段202は、データ処理装置300のI/Fユニット313とアレイ型プロセッサ100の状態管理部101とを接続した接続コネクタ(図示せず)などに相当し、データ処理装置300がデータ出力するオブジェクトコードをアレイ型プロセッサ100にデータ入力する。データ入力手段203は、例えば、所定のデータ発生回路(図示せず)からなり、一連の処理データを発生してアレイ型プロセッサ100のデータ分配部102に入力する。

【0053】上述したデータ処理装置300の各種手段は、必要によりFDD307やI/Fユニット312等のハードウェアを利用して実現されるが、その主体はRAM304等の情報記憶媒体に格納されたソフトウェアに対応して、データ処理装置300のハードウェアであるCPU301が機能することにより実現されている。

【0054】このようなソフトウェアは、例えば、アレ  
イ型プロセッサ100の処理動作が記述されたソースコ  
ードをFDD307などでデータ入力する処理、このデ  
ータ入力されたソースコードを解析してmbデータ用と  
nbデータ用とに記述内容を識別する処理、この識別さ  
れた記述内容からオブジェクトコードをデータ生成する  
処理、このデータ生成されたオブジェクトコードをI/  
Fユニット313などからデータ出力する処理、等の処  
理動作をCPU301等に行わせるためのコンピュー  
タプログラムとしてRAM304等の情報記憶媒体に格  
納されている。

【0055】上述のような構成において、本形態のデー  
タ処理システム200では、コード供給手段201が発  
生するソースコードをデータ処理装置300がオブジェ  
クトコードに変換してアレイ型プロセッサ100に入力  
し、このアレイ型プロセッサ100にデータ入力手段2  
03が一連の処理データを入力するので、アレイ型プロ  
セッサ100は入力されたオブジェクトコードに対応し  
て入力された処理データを演算処理する。

【0056】このとき、本形態のデータ処理装置300  
は、アレイ型プロセッサ100の処理動作が記述された  
ソースコードがデータ入力されると、このデータ入力  
されたソースコードを解析して“8 (bit)”からなるmb  
データ用と“1 (bit)”からなるnbデータ用とに記述  
内容を識別する。この識別された記述内容からオブ  
ジェクトコードをデータ生成し、このデータ生成された  
オブジェクトコードをアレイ型プロセッサ100にデータ  
出力する。

【0057】このようにデータ処理装置300からオブ  
ジェクトコードが外部入力される本形態のアレイ型プロ  
セッサ100では、状態管理部101が外部入力される  
オブジェクトコードを保持してプロセッサエレメント1  
04ごとのインストラクションポインタを発生し、この  
インストラクションポインタでプロセッサエレメント1  
04ごとにインストラクションメモリ111に格納され  
ている複数の命令コードから一つが指定される。

【0058】この指定された命令コードがインストラク  
ションデコーダ112でデコードされ、スイッチエレ  
メント105による複数のプロセッサエレメント104の  
接続関係、内部配線資源117によるプロセッサエレ  
メント104の内部での接続関係、m/nbALU11  
5、116の演算処理、等が制御されるので、これで本  
形態のアレイ型プロセッサ100は、オブジェクトコ  
ードに対応した演算処理を実行するハードウェアの状態  
となる。

【0059】このような状態で、データ入力手段203  
から外部入力される一連の処理データがデータ分配部1  
02でmbデータとnbデータとに分配され、上述のよ  
うに接続関係と演算処理とが制御された複数のプロセ  
ッサエレメント104ごとにmbALU115とnbAL

U116とで演算処理される。

【0060】本形態のアレイ型プロセッサ100は、上  
述のようにオブジェクトコードに対応してプロセッサエ  
レメント104ごとに“8 (bit)”からなるmbデータ  
と“1 (bit)”からなるnbデータとの演算処理を並列  
に実行できるので、外部入力される一連の処理データの  
ビット数が変化しても、これをビット数の多少によりの  
確に配分して良好な効率で並列処理することができる。

【0061】また、本形態のアレイ型プロセッサ100  
は、プロセッサエレメント104ごとに形成されている  
m/nbレジスタファイル113、114が入力される  
m/nbデータを一時保持して出力するので、プロセ  
ッサエレメント104ごとにm/nbALU116で演算  
処理されるm/nbデータを各々専用のm/nbレジ  
スタファイル114により無駄なく一時保持することがで  
きる。

【0062】しかも、本形態のアレイ型プロセッサ10  
0は、“nb”が“1 (bit)”からなるので、nbAL  
U116により最少ビットでの演算処理を実行すること  
ができ、処理データのビット数が各種に変化しても確実  
に演算処理を実行することができる。

【0063】また、本形態のデータ処理装置300は、  
前述のように一般的な手法でアレイ型プロセッサ100  
の処理動作が記述されたソースコードから、mbデー  
タ用とnbデータ用とに記述内容が識別されたアレイ型  
プロセッサ100のオブジェクトコードをデータ生成する  
ことができる。

【0064】そして、本形態のデータ処理システム20  
0は、アレイ型プロセッサ100に処理データを入力す  
るとき、ソースコードをデータ処理装置300に供給し  
てオブジェクトコードをアレイ型プロセッサ100にデ  
ータ入力することができるので、アレイ型プロセッサ1  
00の処理動作を各種にリアルタイムに切り換えること  
ができる。

【0065】なお、本発明は上記形態に限定されるもの  
ではなく、その要旨を逸脱しない範囲で各種の変形を許  
容する。例えば、上記形態ではデータ処理装置300が  
アレイ型プロセッサ100に接続されていて処理動作が  
リアルタイムに切換自在なデータ処理システム200を  
例示した。

【0066】しかし、オブジェクトコードが格納された  
RAMやROMなどをアレイ型プロセッサ100に接続  
し、一つの処理動作を固定的に実行させることも可能で  
ある。また、このRAMやROMなどのコード記憶手段  
に複数種類のオブジェクトコードを事前に格納してお  
き、その一つを選択的にアレイ型プロセッサ100に転  
送することにより処理動作をリアルタイムに切換自在と  
することも可能である。

【0067】さらに、上記形態ではRAM304等に格  
納されているコンピュータプログラムに対応してCPU

10

20

30

40

50



301が動作することにより、データ処理装置300の各種機能として各種手段が論理的に実現されることを例示した。しかし、このような各種手段の各々を固有のハードウェアとして形成することも可能であり、一部をソフトウェアとしてRAM304等に格納するとともに一部をハードウェアとして形成することも可能である。

【0068】また、上記形態ではアレイ型プロセッサ100が処理データを“8(bit)”からなるmbデータと“1(bit)”からなるnbデータとに配分して演算処理を実行することを例示したが、このように処理データを配分する個数は任意に選択することができ、配分するビット数も任意に選択することができる。

【0069】さらに、上記形態ではアレイ型プロセッサ100が演算処理を実行する素子としてプロセッサエレメント104ごとにm/nbレジスタファイル113、114とm/nbALU115、116とを具備していることを例示したが、図5に示すように、さらにプロセッサエレメント130ごとにDMU131などを追加することも可能である。

【0070】このDMU131は、詳細な具体例は後述するが、mbデータとnbデータとのデータ操作を実行するので、上述のプロセッサエレメント130を具備したアレイ型プロセッサ(図示せず)では、オブジェクトプログラムに対応して演算処理するmbデータとnbデータとの相互交換などを実行することができる。

【0071】しかも、DMU131とm/nbALU115、116とが別個に存在するので、例えば、mbデータとnbデータとを組み合わせるデータ操作をDMU131で実行する場合でも、m/nbALU115、116によるm/nbデータの演算処理を同時に並列に実行することができる。

【0072】ここで、上述のようなプロセッサエレメント130の内部構造を図6を参照して以下に具体的に説明する。まず、DMU131は、mbデータが外部入力されるmbの入力ポート164とnbデータが外部入力されるnbの入力ポート165とを並列に具備しており、これらの入力ポート164、165には、マスク回路168やシフト回路166からなる処理回路が接続されている。

【0073】この処理回路はmbデータを外部出力するmbの出力ポート171に接続されており、このmbの並列な出力ポート171から並列にnbデータを外部出力するnbの出力ポート172が分岐されている。

【0074】上述のような構造のDMU131では、前述のようにインストラクションデコーダ112の動作制御に対応したデータ操作により、mbデータからnbデータを生成すること、nbデータからmbデータを生成すること、mbデータから相違するmbデータを生成すること、nbデータから相違するnbデータを生成すること、を実行できる。

【0075】例えば、mbデータからnbデータを生成する場合、mbデータの不要な7ビットをマスク回路168のマスク処理で消去し、これで残存した1ビットをシフト回路166のシフト処理でnbデータのビット位置である第一桁目に移動させる。

【0076】なお、上述のようにmbデータから抽出したい1ビットが最初からnbデータのビット位置に存在する場合は、マスク回路168のマスク処理のみでmbデータからnbデータを生成することができ、mbデータから排除したい7ビットが最初から“0”の場合は、シフト回路166のシフト処理のみでmbデータからnbデータを生成することができる。

【0077】さらに、当然ながら上述のようなマスク回路168のマスク処理とシフト回路166のシフト処理とを組み合わせることにより、nbデータからmbデータを生成すること、mbデータから相違するmbデータを生成すること、nbデータから相違するnbデータを生成すること、も実行できる。

【0078】このとき、m/nbALU115、116はDMU131とは別個にm/nbデータでの演算処理を実行できるので、プロセッサエレメント130は、DMU131によるm/nbデータのデータ操作とm/nbALU115、116によるm/nbデータでの演算処理とを個別に実行させることができ、これらを組み合わせることもできる。

【0079】なお、mbALU115は、mbデータが外部入力される二個のmbの並列な入力ポート173と、nbデータが外部入力される一個のnbの入力ポート174とを並列に具備しており、mbの並列な入力ポート173には、論理回路175、セレクト回路176、ADD回路177、コンパレータ回路178、等が並列に接続されており、nbの入力ポート174には、論理回路175以外の回路176～178が並列に接続されている。

【0080】各回路175～177は一個のmbの並列な出力ポート179に接続されており、各回路177、178は一個のnbの出力ポート180に接続されているので、このmbALU115は、mbデータの演算処理だけでなくnbデータの演算処理も部分的に実行することができる。

【0081】なお、上記説明ではDMU131のシフト回路166などがmbデータのみを処理対象とする場合を例示したが、例えば、シフト回路166などがmbデータとnbデータとの両方を処理対象とすることも可能であり、必要によりnbデータのみを処理対象とすることも可能である。

【0082】さらに、上記説明ではDMU131がマスク回路168やシフト回路166からなることを例示したが、図7に例示するプロセッサエレメント130aのように、DMU131aをマスク回路168のみとして

も $m/n$  bデータの相互交換を実行することは可能である。ただし、この場合はDMU131aでシフト処理は実行できないので、同図に示すように、 $m$  bALU115aがシフト回路166を具備していることが好適である。

【0083】また、上記形態ではプロセッサエレメント130の内部配線資源117により $m/n$  bバス106、107に $m/n$  bレジスタ113、114が接続されており、これら $m/n$  bレジスタ113、114にDMU131の $m/n$  bの入力ポート164、165が接続されている構造を想定したが、図8に示すように、上述のような接続構造と並列に内部配線資源117により $m/n$  bバス106、107とDMU131の $m/n$  bの入力ポート164、165とを直結することも可能である。

【0084】ただし、このような構造ではDMU131の $m/n$  bの入力ポート164、165をパラレルな二個ずつとする必要があるので、図9に例示するプロセッサエレメント130bのように、DMU131bのマスク回路168およびシフト回路166の各々を並列な二個として一個のORゲート169に接続することが好適である。

【0085】この場合、DMU131bのマスク回路168およびシフト回路166で二つの $m$  bデータと二つの $n$  bデータとをデータ操作することができ、これらをORゲート169で一つの $m$  bデータと一つの $n$  bデータとの少なくとも一方として外部出力することが可能である。

【0086】また、図10に例示するプロセッサエレメント130cのように、DMU131cの各々二個のパラレルな $m/n$  bの入力ポート164、165を、並列な二個のセレクト回路181で各々一個のマスク回路168およびシフト回路166に接続することも可能である。

【0087】なお、図9に例示したDMU131bでは、回路規模は増大するが $m/n$  bデータのマスク処理およびシフト処理を並列に実行することができ、図10に例示したDMU131cでは、 $m/n$  bデータにマスク処理とシフト処理との一方しか一度に実行できないが回路規模を削減することができる。つまり、上述したDMU131b、131cの構造は相互に一長一短を有するので、実施する場合には各種条件を考慮して最適な一方を選択することが好適である。

【0088】さらに、上記形態ではプロセッサエレメント104ごとに $m$  bレジスタファイル113と $n$  bレジスタファイル114とが形成されていることを例示したが、図11に示すように、プロセッサエレメント140ごとにレジスタファイル141を一個とすることも可能である。

【0089】このレジスタファイル141は、多数ビッ

トである $m$  bデータを一時保持するように形成されているので、当然ながら少数ビットである $n$  bデータも一時保持することができる。つまり、入力される $m$  bデータを一時保持して $m$  bデータや $n$  bデータとして出力することができ、入力される $n$  bデータを一時保持して $m$  bデータや $n$  bデータとして出力することができる。

【0090】このため、上述のプロセッサエレメント140を具備したアレイ型プロセッサ(図示せず)では、レジスタファイル141で $m$  bデータと $n$  bデータとを相互交換することができ、回路規模を削減して全体の小型化や生産性の向上を実現することもできる。

【0091】ただし、レジスタファイル141の $m$  b領域で $n$  bデータを一時保持すると無駄が発生することになるので、 $m/n$  bデータごとに専用の $m/n$  bレジスタファイル113、114を形成した場合と、 $m/n$  bデータで兼用のレジスタファイル141を形成した場合とでは、相互に一長一短があることになる。従って、実際に製品を実施する場合には、各種の条件を考慮して最適な一方を選択することが好適である。

【0092】なお、上述のようなプロセッサエレメント140で配線資源117による接続関係を制御することにより、図12に示すように、 $m/n$  bバス106、107からプロセッサエレメント140に入力される $m/n$  bデータを、レジスタファイル141やDMU131だけでなく $m/n$  bALU115、116や $m/n$  bバス106、107に直接に転送することも可能であり、 $m/n$  bALU115、116が出力する $m/n$  bデータだけでなくレジスタファイル141やDMU131が出力する $m/n$  bデータを $m/n$  bバス106、107に直接に転送することも可能である。

【0093】また、前述したプロセッサエレメント130では、DMU131に $m/n$  bALU115、116が並列に接続されていることを例示したが、図13に示すように、プロセッサエレメント150のDMU151の一部として $n$  bALU152を形成することも可能である。

【0094】この場合、一個のDMU151で $m/n$  bデータの相互交換と $n$  bデータの演算処理とを実行することも可能であり、回路規模を削減して全体の小型化や生産性の向上を実現することもできる。ただし、この場合も専用の $n$  bALU116を具備した場合に比較して相互に一長一短があるので、やはり実際に製品を実施する場合には、各種の条件を考慮して最適な一方を選択することが好適である。

【0095】なお、上述のようなプロセッサエレメント150で配線資源117による接続関係を制御することにより、図14に示すように、 $m/n$  bバス106、107からプロセッサエレメント150に入力される $m/n$  bデータを各部に直接に転送することも可能であり、各部が出力する $m/n$  bデータを $m/n$  bバス106、

107に直接に転送することも可能であり、図15に示すように、各部が出力するm/nbデータを各部にフィードバックさせることも可能である。

【0096】ここで、上述のようなプロセッサエレメント150の内部構造を図16を参照して以下に具体的に説明する。まず、レジスタファイル141は、前述のようにmb構造に形成されており、m/nbデータが外部入力される一個のmbのバラレルな入力ポート161と、mbデータを外部出力するmbのバラレルな出力ポート162とを具備している。ただし、このmbのバラレルな出力ポート162からnbの出力ポート163が分岐されているので、レジスタファイル141はm/nbデータを並列出力することができる。

【0097】また、DMU151は、m/nbデータが外部入力される三個のmbのバラレルな入力ポート164を具備しているが、これらの入力ポート164の各々にもnbの入力ポート165が分岐されており、この三個のnbの入力ポート165がnbALU152に接続されている。

【0098】三個のmbのバラレルな入力ポート164には、シフト回路166、数値保持回路167およびアンドゲート170からなるマスク回路168、オアゲート169、等からなる処理回路が接続されており、この処理回路が一個のmbのバラレルな出力ポート171に接続されている。

【0099】また、このmbのバラレルな出力ポート171とは並列にnbの出力ポート172も形成されており、この出力ポート172にnbALU152とオアゲート169とが形成されている。このため、DMU151は、マスク回路168やオアゲート169などによるmbデータとnbデータとのデータ操作と、nbALU152によるnbデータの演算処理とを、排他的に実行することができる。

【0100】また、数値保持回路167は数値データを一時記保持するので、数値データをマスク回路168やORゲート169などに提供することができる。さらに、マスク回路168は、mbデータをマスク処理するので、例えば、mbデータの所定桁のみ有効とすることができ、数値保持回路167に一時保持された数値データをマスク処理に利用することができる。

【0101】ここで、DMU151の演算処理の一具体例として、“8(bit)”の第一mbデータDm1の第四ビットに第二mbデータDm2の第三ビットを入力して第三mbデータDm3を生成する場合の動作を以下に順番に説明する。まず、第一mbデータDm1が第一のプロセッサエレメント150に外部入力され、これと並列に、第二mbデータDm2が第二のプロセッサエレメント150に外部入力される。

【0102】第一mbデータDm1が外部入力される第一のプロセッサエレメント150のDMU151では、命

令コードにデータ設定されているマスク回路168のマスク値により、第四ビットのみ“0”のmbの“1110111”なる数値データが数値保持回路167に一時保持され、このマスク値とDm1[7:0]とがマスク回路168の論理積でマスク処理されるので、これで第一mbデータの第四ビットのみ無効とした第一テンポラリデータTm1(=Dm1[7:5],0,Dm1[3:0])が生成される。

【0103】一方、第二mbデータDm2が外部入力される第二のプロセッサエレメント150では、同様に数値保持回路167に一時保持された第三ビットのみ“1”のmbの“00001000”なる数値データとDm2[7:0]とがマスク回路168でマスク処理されるので、これで第二mbデータの第三ビットのみ有効とした第二テンポラリデータTm2(=0000,Dm2[3],000)が生成される。

【0104】上述のように第一のプロセッサエレメント150で生成される第一テンポラリデータTm1と第二のプロセッサエレメント150で生成される第二テンポラリデータTm2とは、第三のプロセッサエレメント150のDMU151にリアルタイムに伝送される。

【0105】このDMU151では、Tm2がシフト回路166で1ビットだけ上桁にシフト処理されて有効な第三ビットが第四ビットに変換され、これで生成された第三テンポラリデータTm3とTm1とがオアゲート169でオア処理されるので、これで第三mbデータDm3(=Dm1[7:5],Dm2[3],Dm1[3:0])が生成される。

【0106】上述のようにDMU151は、各種回路166~169によるシフト処理とマスク処理とオア処理とを組み合わせることで、mbデータでの各種の演算処理を実行することができ、そこにnbデータの演算処理を組み合わせることもできる。

【0107】このとき、mbALU115はDMU151とは別個にmbデータでの演算処理を実行できるので、プロセッサエレメント150は、DMU151によるm/nbデータでの演算処理とmbALU115によるmbデータでの演算処理とを個別に実行させることができ、これらを組み合わせることもできる。

【0108】また、上述の具体例では、一つの演算処理を三個のプロセッサエレメント150のDMU151が1サイクルで実行することを例示したが、例えば、このような演算処理を一個のプロセッサエレメント150のDMU151が3サイクルで実行することも可能である。

【0109】さらに、上述の具体例では説明を容易とするため、三段階の処理動作を三個のプロセッサエレメント150に分担させることを例示したが、前述の第三のプロセッサエレメント150の処理動作を第一第二のプロセッサエレメント150に実行させることも可能である。

【0110】

【発明の効果】本発明のアレイ型プロセッサでは、プロ

セッサエレメントごとに演算処理のビット数が相互に相違する複数種類の演算器が形成されていることにより、プロセッサエレメントごとにビット数が相違する複数の演算処理を並列に実行することができるので、例えば、外部入力される一連の処理データが多数ビットと少数ビットとに配分して並列処理するようなことができ、処理データのビット数が各種に変化しても良好な効率で演算処理を実行することができる。

【0111】また、本発明のアレイ型プロセッサの他の形態としては、複数のプロセッサエレメントと並列に形成された一個のデータ分配部が外部入力される一連の処理データをmbデータとnbデータとに分配し、プロセッサエレメントごとにmb演算器とnb演算器とがmbデータとnbデータとで演算処理を実行することにより、外部入力される一連の処理データを多数のmbビットと少数のnbビットとに配分して並列処理することができる。

【0112】また、バスコネクタが連通する複数のmbバスの相互の接続関係と連通する複数のnbバスの相互の接続関係を制御し、入力制御回路が少なくともmbバスからmb演算器へのデータ入力の接続関係とnbバスからnb演算器へのデータ入力の接続関係を制御し、出力制御回路が少なくともmb演算器からmbバスへのデータ出力の接続関係とnb演算器からnbバスへのデータ出力の接続関係を制御することにより、m/nb演算器によるm/nbデータでの演算処理とともに、m/nbバスからm/nb演算器へのm/nbデータの入力と、m/nb演算器からm/nbバスへのm/nbデータの出力も、オブジェクトプログラムに対応して制御することができる。

【0113】また、プロセッサエレメントごとに形成されているmbレジスタファイルが入力されるmbデータを一時保持して出力し、nbレジスタファイルが入力されるnbデータを一時保持して出力することにより、プロセッサエレメントごとにm/nb演算器で演算処理されるm/nbデータを各々専用のm/nbレジスタファイルにより無駄なく一時保持することができる。

【0114】また、プロセッサエレメントごとに形成されている一個のレジスタファイルが、入力されるmbデータを一時保持してmbデータとnbデータとの少なくとも一方として出力するとともに、入力されるnbデータを一時保持してmbデータとnbデータとの少なくとも一方として出力することにより、一個のレジスタファイルでmbデータとnbデータとの両方を一時保持することができ、レジスタファイルでmbデータとnbデータとを相互交換することもできる。

【0115】また、プロセッサエレメントごとに形成されている内部配線資源がmb演算器とnb演算器とレジスタファイルとの接続関係を制御することにより、mb演算器とnb演算器とレジスタファイルとの接続関係を

プロセッサエレメントごとにオブジェクトプログラムに対応して制御することができる。

【0116】また、プロセッサエレメントごとに形成されているDMUが少なくともmbデータとnbデータとのデータ操作をマスク回路で実行することにより、プロセッサエレメントごとにオブジェクトプログラムに対応してmbデータとnbデータとの相互変換などを実行することができる。

【0117】また、nb演算器がDMUの一部として形成されていることにより、一個のDMUでm/nbデータのデータ操作とnbデータの演算処理とを実行することができる。

【0118】また、DMUのシフト回路が少なくともmbデータをシフト処理し、また、数値保持回路が少なくともmbデータの演算処理に利用される数値データを一時記保持し、また、マスク回路が少なくともmbデータをマスク処理し、また、オアゲートが少なくともmbデータをオア処理することにより、DMUにより少なくともmbデータでの各種の演算処理をmb演算器とは別個に実行することができる。

【0119】また、“nb”が“1(bit)”からなることにより、nb演算器により最少ビットでの演算処理を実行することができるので、処理データのビット数が各種に変化しても確実に演算処理を実行することができる。

【0120】本発明の第一のデータ処理システムでは、コード供給手段がソースコードをデータ処理装置に供給し、このデータ処理装置がデータ出力するオブジェクトコードをコード転送手段がアレイ型プロセッサにデータ入力し、このアレイ型プロセッサにデータ入力手段が処理データを入力することにより、リアルタイムに入力されるソースコードに対応してアレイ型プロセッサに処理データを演算処理させることができる。

【0121】本発明の第二のデータ処理システムでは、コード記憶手段は、複数種類のオブジェクトコードが事前にデータ登録されており、このデータ登録されている複数種類のオブジェクトコードの一つをコード転送手段がアレイ型プロセッサに選択的にデータ入力し、このアレイ型プロセッサにデータ入力手段が処理データを入力することにより、事前に用意された複数種類のソースコードの一つに対応してアレイ型プロセッサに処理データを演算処理させることができる。

【図面の簡単な説明】

【図1】(a)は本発明の実施の一形態のアレイ型プロセッサの全体構造を示す模式的なブロック図、(b)はプロセッサエレメントの内部構造を示す模式的なブロック図である。

【図2】プロセッサエレメントの内部の接続関係の一例を示す模式的なブロック図である。

【図3】本発明の実施の一形態のデータ処理システムの

論理構造を示す模式図である。

【図4】データ処理装置の物理構造を示すブロック図である。

【図5】第一の変形例のプロセッサエレメントの内部構造を示す模式的なブロック図である。

【図6】第一の変形例のプロセッサエレメントのDMU等の内部構造を示すブロック図である。

【図7】DMU等の内部構造の第一の変形例を示すブロック図である。

【図8】プロセッサエレメントの内部の接続関係の一例を示す模式的なブロック図である。

【図9】DMU等の内部構造の第二の変形例を示すブロック図である。

【図10】DMU等の内部構造の第三の変形例を示すブロック図である。

【図11】第二の変形例のプロセッサエレメントの内部構造を示す模式的なブロック図である。

【図12】プロセッサエレメントの内部の接続関係の一例を示す模式的なブロック図である。

【図13】第三の変形例のプロセッサエレメントの内部構造を示す模式的なブロック図である。

【図14】プロセッサエレメントの内部の接続関係の第一例を示す模式的なブロック図である。

【図15】プロセッサエレメントの内部の接続関係の第二例を示す模式的なブロック図である。

【図16】第三の変形例のプロセッサエレメントのDMU等の内部構造を示すブロック図である。

【符号の説明】

100 アレイ型プロセッサ

\*

\*101 状態管理部

102 データ分配部

104, 130, 140, 150 プロセッサエレメント

105 スイッチエレメント

106 mbバス

107 nbバス

111 インストラクションメモリ

112 インストラクションデコーダ

113 mbレジスタファイル

114 nbレジスタファイル

115 mb演算器であるmbALU

116, 152 nb演算器であるnbALU

117 内部配線資源

121 バスコネクタ

122 入力制御回路

123 出力制御回路

131, 150 DMU

141 レジスタファイル

168 マスク回路

200 データ処理システム

201 コード供給手段

202 コード転送手段

203 データ入力手段

211 コード入力手段

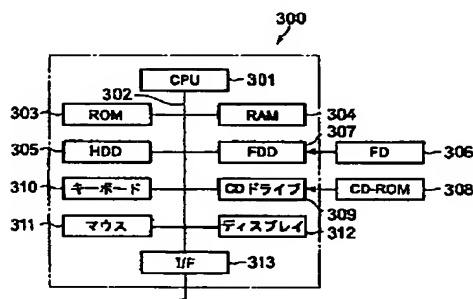
212 処理識別手段

213 コード生成手段

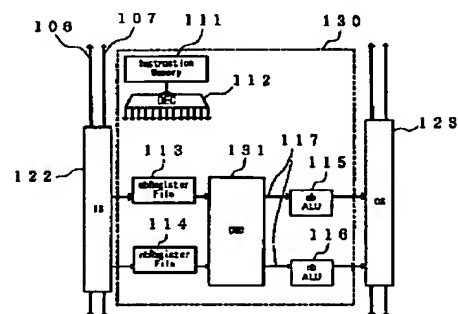
214 コード出力手段

300 データ処理装置

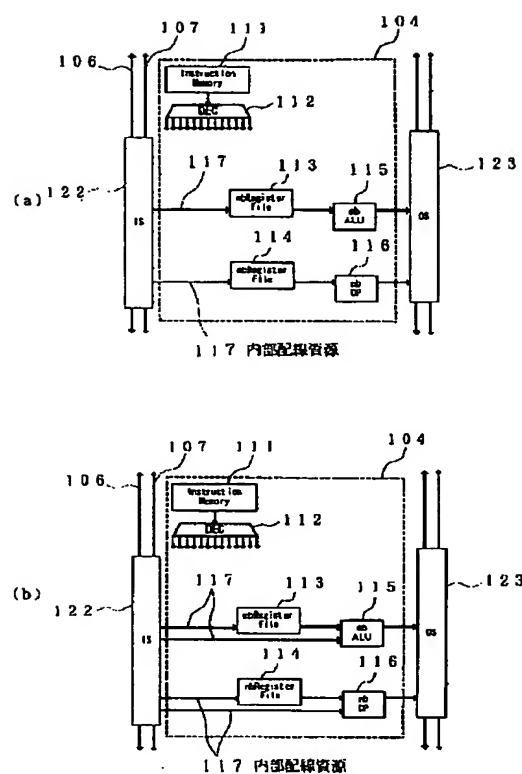
【図4】



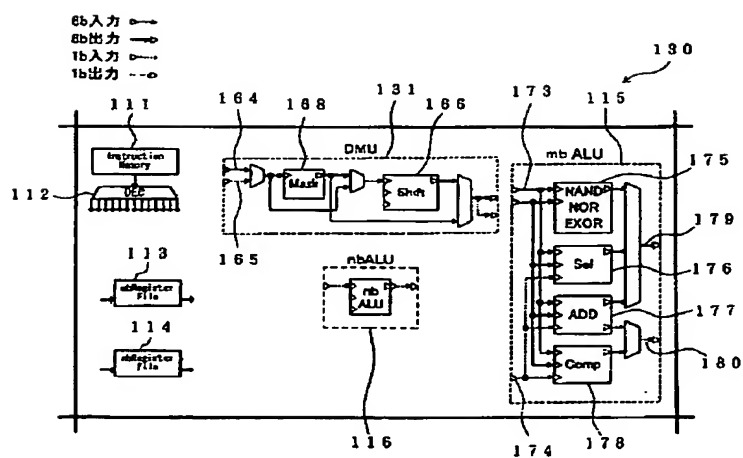
【図5】



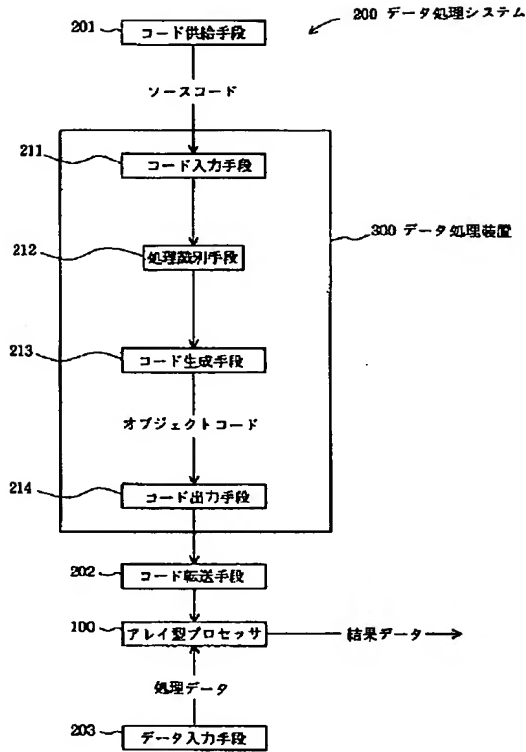
【圖2】



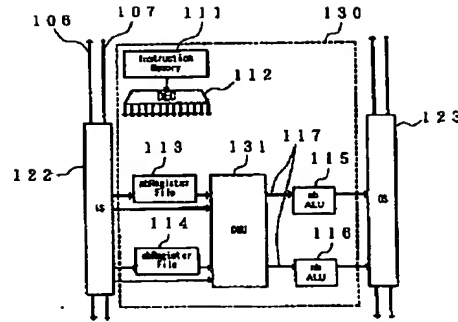
【圖 6】



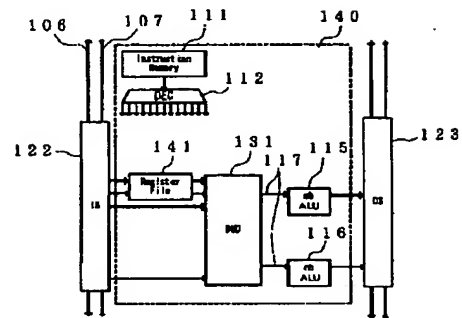
【図3】



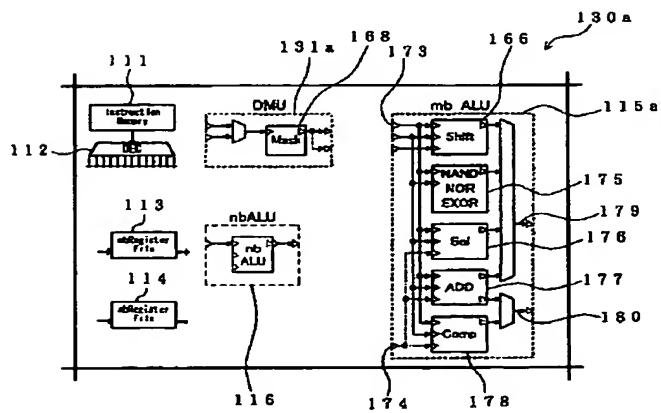
【図8】



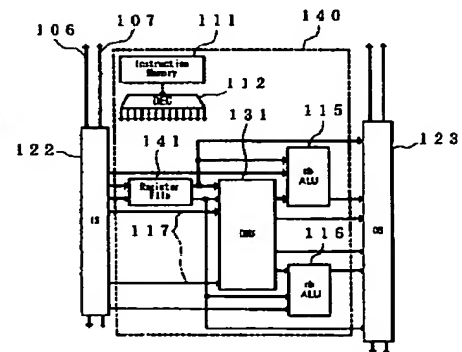
【図11】



【図7】



【図12】



The diagram illustrates a computer system architecture with the following components and connections:

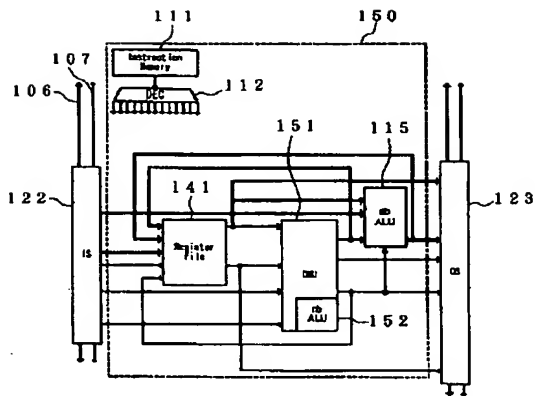
- Instruction Memory (111)**: Provides input to the **DMU** via a **DMU** block.
- DMU (Data Manipulation Unit)**: A central processing block containing a **Mask** register (168) and a **Shift** register (166). It receives inputs from the instruction memory and registers, and outputs to the **mb ALU** and **nb ALU**.
- Register or File (112)**: Provides input to the **DMU**.
- Register or File (113)**: Provides input to the **DMU**.
- Register or File (114)**: Provides input to the **DMU**.
- mb ALU (Microprocessor ALU)**: A block containing four ALU units: **MAND, NOR, EXOR** (170), **Sel** (176), **ADD** (177), and **Comp** (180). It receives inputs from the **DMU** and outputs to the **nb ALU**.
- nb ALU (Number ALU)**: A block containing a single ALU unit (178) that receives inputs from the **mb ALU** and outputs to the **nb ALU**.
- Output (180c)**: The final output of the system, produced by the **nb ALU**.

The block diagram illustrates a digital signal processor (150) with the following components and connections:

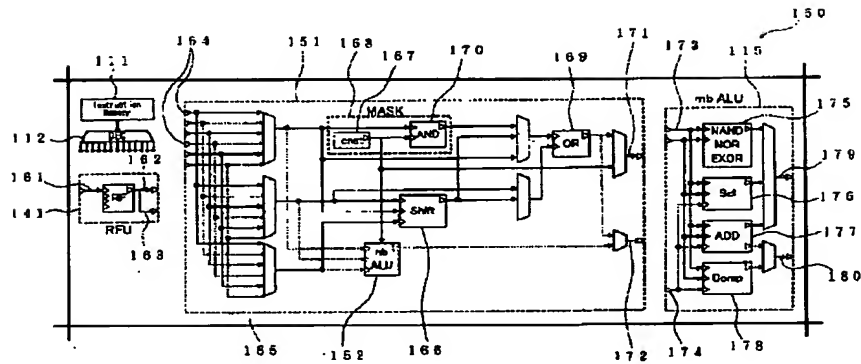
- Input/Output Ports:**
  - 106:** Input port on the left.
  - 107:** Input port at the top left.
  - 111:** Input port at the top center.
  - 122:** Input/output port on the left side.
  - 123:** Input/output port on the right side.
- Internal Components:**
  - 112:** Instruction Memory.
  - 113:** Data Memory.
  - 141:** Register File.
  - 151:** ALU (Arithmetic Logic Unit).
  - 152:** ALU (Arithmetic Logic Unit).
- Data Paths:**
  - Input **106** connects to the **Register File (141)**.
  - Input **107** connects to the **Register File (141)**.
  - Input **111** connects to the **Instruction Memory (112)**.
  - The **Register File (141)** outputs to the **ALU (151)** and **ALU (152)**.
  - The **Instruction Memory (112)** outputs to the **ALU (151)**.
  - The **ALU (151)** outputs to the **ALU (152)**.
  - The **ALU (152)** outputs to the **Register File (141)** and the **Data Memory (113)**.
  - The **Data Memory (113)** outputs to the **Register File (141)**.



【図15】



【図16】



フロントページの続き

(72)発明者 本村 真人  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

Fターム(参考) 5B013 DD00 DD02 DD05  
5B033 AA14 DD01 DD09  
5B045 GG12